

\* NOTICES \*

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [Industrial Application]

This invention is used for the linearity sending set of a high-frequency band. It is related with the linearity sending set to which the average level of a transmitting output can be changed especially.

This invention controls the output of a high-frequency power amplifier to adjustable by carrying out the multiplication of the direct current to envelope level in the output adjustable sending set which controls the bias voltage of a high-frequency power amplifier according to the envelope level of a modulated wave.

#### [Description of the Prior Art]

The RF power amplifier (only henceforth "power amplifier") of Class A thru/or AB class is used from the former as the sending set of a RF band, especially a linearity sending set which transmits a line-type-modulation wave. In such a linearity sending set, an output level can be easily changed by changing the input level of power amplifier. However, when the power amplifier of Class A or AB class is used and amplitude change of an envelope amplifies a large modulated wave, in the field of low amplitude, power efficiency declines remarkably.

In order to solve this fault and to improve the power efficiency of a linearity sending set, invention-in-this-application persons invented the drain armature-voltage control method for changing the drain electrical potential difference or collector voltage of power amplifier according to the envelope of an input signal, and already did patent application (JP,62-274906,A, Japanese Patent Application No. 1-168723). The example of a configuration is shown in Fig. 19.

The inphase envelope component of the signal which it is going to transmit, and a rectangular envelope component are inputted into the modulation input terminals 1 and 2, respectively. It becomes irregular by the subcarrier to which these input signals are supplied from a carrier oscillator 4, and the quadrature modulation machine 3 generates a modulated wave. The power amplifier 5 of a saturation form is equipped with a field-effect transistor as an amplifier, supplies the line-type-modulation wave inputted from the quadrature modulation machine 3 to the base of a field-effect transistor through an input matching circuit, and outputs the amplified signal which is acquired by the drain to the transmitting output terminal 6 through an output matching circuit.

The inphase envelope component and the rectangular envelope component which were inputted into the modulation input terminals 1 and 2 are supplied to the envelope generation circuit 7 again. This envelope generation circuit 7 generates the envelope of a modulated wave from two envelope components, and supplies this to the armature-voltage control circuit 10.

The armature-voltage control circuit 10 is constituted by a DC to DC converter or the series control transistor, adjusts the supply voltage inputted into the power supply terminal 11 according to the signal from the envelope generation circuit 7, and controls the drain electrical potential difference VD of the field-effect transistor in power amplifier 5.

Thus, the bias voltage of power amplifier 5 is controlled according to the envelope generated by the envelope generation circuit 7, and the output swing of the transmitting output terminal 6 is made to follow the envelope of an input signal. Thereby, linear amplification actuation can be

transmitting output at the time of an on-off change-over can be stopped, and a sending set with little active jamming to the adjoining communication channel can be realized.

[Example]

Fig. 1 is a block diagram showing the output adjustable sending set of the first example of this invention.

The inphase envelope component and the rectangular envelope component of a signal which should transmit this example equipment are inputted into the modulation input terminals 1 and 2, respectively. It has the quadrature modulation machine 3 and a carrier oscillator 4 as a quadrature modulation means to generate a modulated wave by these two envelope components. It has the power amplifier 5 of a saturation form as high-frequency amplifier which amplifies this modulated wave. It has the envelope generation circuit 7 as a means to generate an envelope from the inphase envelope component of the modulation input terminals 1 and 2, and a rectangular envelope component, and has the armature-voltage control circuit 10 as a bias control means which controls the bias voltage of power amplifier 5 by output-signal level of this envelope generation circuit 7.

As power amplifier 5, a grounded source or the emitter-grounded semi-conductor amplifier is used. The following explanation explains the case where the field-effect transistor by which the grounded source was carried out is used to an example.

The place by which it is characterized [ of this example ] here considers as an input the signal (henceforth a "output-level assignment signal") which sets up the average output level of the power amplifier 5 from the assignment signal input terminal 12, and is to have had the multiple-value direct current signal generating circuit 80 which generates the direct current signal corresponding to that input value, and the multiplication circuit 9 which carries out the multiplication of the output of this multiple-value direct current signal generating circuit 80 to the output envelope of the envelope generation circuit 7.

By inphase envelope component  $I(t)$  inputted from the modulation input terminals 1 and 2, and rectangular envelope component  $Q(t)$ , the quadrature modulation machine 3 modulates the subcarrier  $\cos(2\pi fct)$  supplied from the carrier oscillator 4, and outputs modulated wave  $S(t)$ . When, and the envelope of modulated wave  $S(t)$  is set to  $R(t)$  and a phase is set to  $\phi(t)$ , they are  $I(t)$  and  $Q(t)$ .  $I(t) = R(t) \cos \phi(t)$

$Q(t) = R(t) \sin \phi(t)$

It can express. At this time  $S(t) = R(t) \cos(2\pi fct + \phi(t))$

It becomes.  $R(t) = I(t) \cos \phi(t) + Q(t) \sin \phi(t)$  receiving  $R(t) = \frac{I(t) \cos \phi(t) + Q(t) \sin \phi(t)}{\cos \phi(t)}$  two  $+$   $Q(t) \sin \phi(t)$  two  $+$  one  $/$  two  $+$  relation  $+$  it is.

The envelope generation circuit 7 asks for  $R(t)$  based on an above-mentioned formula. There are an approach on the memory table using the read-only memory as the approach and an approach using a floating point unit. The envelope signal with which it is outputted in any case is a digital signal.

The output-level assignment signal corresponding to the transmitting output level which it is going to output to the transmitting output terminal 6 is inputted into the assignment signal input terminal 12. The multiple-value direct current signal generating circuit 80 generates a direct current signal according to this output-level assignment signal. This direct current signal is called "output-control signal" below.

Fig. 2 is a circuit diagram showing an example of the multiple-value direct current signal generating circuit 80. Here, the example constituted from an analog circuit is shown.

The noninverting input of an operational amplifier 803 is connected to a constant voltage power supply 801, and a reversal input is grounded through resistance 802. The output of an operational amplifier 803 is connected to the multiplication circuit 9 (1st [ \*\* ] Fig. R> Fig.) through an output terminal 805. The output and reversal input of an operational amplifier 803 are connected through the feedback resistors  $R1-Rn$  chosen by the switch 804. A switch 804 is controlled by the output-level assignment signal supplied from the assignment signal input terminal 12, and chooses either of the feedback resistors  $R1-Rn$ . Thereby, direct-current gain changes and the direct current signal of a multiple value can be generated in an output terminal 805.

Moreover, the multiple-value direct current signal generating circuit 80 can also be constituted from a digital circuit, for example, it can constitute using the memory of a read-only memory and others. That is, the binary number according to an output level is memorized as a memory table, and the value corresponding to an output-level assignment signal is read from memory, and is outputted. An example of a memory table is shown in the 1st table. The data showing a direct current of an octal can be outputted in this example.

第 1 表

出力レベル	ROM出力( $a_1 \sim a_8, i=8$ )
レベル 1	1 0 0 0 0 0 0 0
レベル 2	0 1 0 0 0 0 0 0
レベル 3	0 0 1 0 0 0 0 0
レベル 4	0 0 0 1 0 0 0 0
レベル 5	0 0 0 0 1 0 0 0
レベル 6	0 0 0 0 0 1 0 0
レベル 7	0 0 0 0 0 0 1 0
レベル 8	0 0 0 0 0 0 0 1

The multiplication circuit 9 carries out the multiplication of the output of the envelope generation circuit 7, and the output of the multiple-value direct current signal generating circuit 80. The signal which is proportional to the output of the multiplication circuit 9 at the envelope of a modulated wave is acquired by this, and, moreover, the average changes according to a transmitting output. The armature-voltage control circuit 10 changes the drain bias voltage VD of power amplifier 5 according to the output of this multiplication circuit 9. Consequently, the drain bias voltage VD is proportional to the envelope of a modulated wave, and the average changes according to a transmitting output.

Thus, modulated wave  $S(t)$  which is the output of the quadrature modulation machine 3 is inputted into power amplifier 5, and the drain electrical potential difference VD is controlled in proportion to an envelope. Furthermore, according to a transmitting output level, the average of the drain electrical potential difference VD changes. Therefore, power amplifier 5 can be amplified linearly, maintaining an efficient saturation state, and, moreover, can make a transmitting output level adjustable.

Any of a digital multiplier and an analog multiplier can also be used as a multiplication circuit 9. The example which used the digital multiplier is shown in Fig. 3, and the example which used the analog multiplier for Fig. 4 is shown.

With the configuration shown in Fig. 3, the multiplication of the output of the multiple-value direct current signal generating circuit 80 is carried out to the digital envelope signal which the envelope generation circuit 7 outputted with a digital multiplier 21. The output of a digital multiplier 21 is supplied to the armature-voltage control circuit 10 through a digital to analog converter 22.

With the configuration shown in Fig. 4, the output of the envelope generation circuit 7 is supplied to an analog multiplier 32 through a digital to analog converter 31. An analog multiplier 32 carries out the multiplication of the output of the multiple-value direct current signal generating circuit 80 to an analog envelope signal, and supplies it to the armature-voltage control circuit 10.

Fig. 5 is drawing showing the input-output behavioral characteristics of power amplifier, and shows the locus of the operating point when controlling the bias of power amplifier 5 ( Fig. 1 ) by the drain electrical potential difference VD from which an average value differs. From this drawing, by changing the average of the drain electrical potential difference VD shows that an average output changes from a to b. Therefore, a transmitting output level can be made adjustable also with the sending set of the drain armature-voltage control form which amplifies linearly while maintaining an efficient saturation state by changing the average of the drain electrical potential difference VD according to a transmitting output level.

Fig. 6 is a block diagram showing the output adjustable sending set of the second example of this invention.

The point which amends the signal with which this example equipment was outputted from the multiplication circuit 9 in the amendment circuit 41 differs from the first example.

When drain control performs linearity \*\*\*\*, it may not necessarily be optimal to control a drain by the nonlinearity of the drain electrical-potential-difference pair output characteristics of the power amplifier 5 of a saturation form by the signal proportional to an envelope. An example of the nonlinear characteristic of drain electrical-potential-difference pair output characteristics is shown in Fig. 7 . In such a case, the distortion in a transmitting output can be reduced by amending the signal for drain control according to a nonlinear characteristic.

As an amendment circuit 41, the configuration by the analog circuit and the configuration by digital circuits, such as a memory table using a read-only memory, can be considered. When amending in an analog circuit, as shown in Fig. 6 , the amendment circuit 41 is connected to the output of a multiplier 9. On the other hand, when using a digital circuit, an amendment circuit is inserted between the digital multiplication circuits 21 and digital to analog converters 22 which were shown in Fig. 3 .

Fig. 8 is a block diagram showing the output adjustable sending set of the third example of this invention.

It differs from the first example and the second example in that this example attenuates the input of power amplifier 5 according to a transmitting output level.

With the configuration of the first example or the second example, if the drain electrical potential difference VD of power amplifier 5 is made small according to the transmitting output level, the input of power amplifier 5 may become excessive and distortion may increase in an output. So, variable attenuator 51 is inserted between the quadrature modulation machine 3 and power amplifier 5, and it controls by this example so that distortion of a transmitting output serves as the minimum.

Variable attenuator 51 is for reducing distortion, and this very thing is not for making a transmitting output level adjustable. It differs from the input attenuator used for the linearity sending set using conventional Class A or a conventional class AB amplifier at this point.

Fig. 9 is a block diagram showing the output adjustable sending set of the fourth example of this invention.

Having used the multiple-value direct current signal generating circuit 81 which replaces this example with the multiple-value direct current signal generating circuit 80, and includes an on-off means for switching differs from the first example. That is, an on-off control signal is inputted into the control signal input terminal 13, and this is supplied to the multiple-value direct current signal generating circuit 81 with the output-level assignment signal from the assignment signal input terminal 12.

When an on-off control signal is OFF, except for setting an output-control signal to "0", the configuration of the multiple-value direct current signal generating circuit 81 is equivalent to the multiple-value direct current signal generating circuit 80 in an above-mentioned example, and can realize either of a digital circuit and an analog circuit.

In constituting the multiple-value direct current signal generating circuit 81 from a digital circuit, it uses the memory table by the read-only memory. That is, an on-off control signal and a k-bit output-level assignment signal are inputted into the address input of a read-only memory, and "0" is read when an on-off control signal is OFF. An example of this memory table is shown in the 2nd table, and the wave of each signal is shown in Fig. 10. This example is a thing when being

referred to as  $k=2$ , and an output-control signal can take  $2^2=4$  kinds of values, when an on-off control signal is ON.

第 2 表

出力レベル 指定信号	出力制御信号	
	オン・オフ 制御信号が 1	オン・オフ 制御信号が 0
1 1	1 0 0 0	0 0 0 0
1 0	0 1 0 0	0 0 0 0
0 1	0 0 1 0	0 0 0 0
0 0	0 0 0 1	0 0 0 0

It turns out that an output-control signal is set to "0" from the 2nd table and Fig. 10 when an on-off control signal is OFF, and the output-control signal according to an output-level assignment signal is outputted at the time of ON.

Fig. 11 shows the circuit diagram in the case of constituting the multiple-value direct current signal generating circuit 81 from an analog circuit, and Fig. 12 shows the I/O signal wave form. The circuit shown in Fig. 11 differs from the multiple-value direct current signal generating circuit 80 which it showed in Fig. 2 that the noninverting input of an operational amplifier 803 is connected to either touch-down or the constant voltage power supply 801 through a switch 806. A change-over of a switch 806 is controlled by the on-off control signal from the control signal input terminal 13.

By this configuration, according to an output-level assignment signal, either of the feedback resistors  $R1-Rn$  is chosen with a switch 804, direct-current gain is changed by this, and the output-control signal according to an output-level assignment signal is generated. Moreover, the input signal of an operational amplifier 803 is switched with an on-off control signal, and "0" is outputted when off.

Fig. 13 is a block diagram showing still more nearly another example of the multiple-value direct current signal generating circuit 81.

With the configuration of the multiple-value direct current signal generating circuit 81 mentioned above, since ON and OFF are rapidly switched when performing a transmitting on-off action, the output spectrum of a sending set spreads at the moment of switching, and active jamming may be done to the communication link of an adjacent channel. In order to lessen this flare, it is desirable for a transmitting output to switch from ON to OFF or ON smoothly from OFF.

So, in the example shown in Fig. 13, the signal which changes from a wave smoothly was written in the read-only memory 815, and the signal is read to the on-off transition period one by one using the edge detector 811, the timer 812, the sample clock generation circuit 813, and the counter 814.

The edge detector 811 detects the switch to the ON from OFF and OFF from ON of an on-off control signal, and starts a timer 812 and a counter 814. A timer 812 supplies the clock from the sample clock generation circuit 813 to a counter 814 to  $n+1$  piece. When an on-off control signal is turned on, a counter 814 starts counting at the moment, and carries out counting of from 0 to the  $n$ . Moreover, when an on-off control signal becomes off, counting is carried out from  $n$  to 0. The output of a counter 814 is inputted into a read-only memory 815 as an address input with a  $k$ -bit output-level assignment signal. Thereby, a read-only memory 815 outputs the output-control signal which changes with time amount to one output-level assignment signal.  $L1n$  is read in order and  $L1n, L1n-1, \dots, L10$  are read from  $L10$  and  $L11$  from the moment that followed, for example, ON and an off control signal are turned on when the output-level assignment signal was

"1", --, the moment of becoming off conversely, in order. Consequently, a smooth output-control signal can be generated.

The example of the memory table written in a read-only memory 815 is shown in the 3rd table, and the I/O signal wave form is shown in Fig. 14. It was referred to as  $n=3$  and  $k=2$  in this example.

第 3 表

オン・オフ制御信号 出力レベル 指定信号	1				0			
	3	2	1	0	3	2	1	0
1 1	10000000	00010000	00000010	00000000	00000000	00000000	00000000	00000000
1 0	00100000	00001000	00000010	00000000	00000000	00000000	00000000	00000000
0 1	00001000	00000100	00000010	00000000	00000000	00000000	00000000	00000000
0 0	00000010	00000001	00000000	00000000	00000000	00000000	00000000	00000000

As shown in Fig. 14, when the enumerated data of a counter 814 are "0" in the circuit shown in Fig. 13, the output-control signal of OFF is read, and when enumerated data are "3", the output-control signal of ON is read. Moreover, when enumerated data are "1" or "2", the output-control signal of the magnitude between ON and OFF is read. Thus, the wave at the time of the switch between ON and OFF can be smoothed. Moreover, the flare of a frequency can be further stopped by using the function called a windowing function as an output-control signal of an on-off transition period.

In the case of the example shown in Fig. 9 as well as the first example, any of a digital multiplier and an analog multiplier can also be used as a multiplication circuit 9. The example which used the digital multiplier is shown in Fig. 15, and the example which used the analog multiplier for Fig. 16 is shown.

Fig. 17 is a block block diagram showing the fifth example of this invention, and Fig. 18 is a block block diagram showing the sixth example.

The point which amends the signal with which the fifth example was outputted from the multiplication circuit 9 like the second example in the amendment circuit 41 differs from the fourth example. Moreover, it differs from the fourth example in that the sixth example attenuates the input of power amplifier 5 according to a transmitting output level like the third example.

#### [Effect of the Invention]

As explained above, the output adjustable sending set of this invention can make an output level adjustable easily in the linearity sending set of a drain armature-voltage control form, maintaining high power efficiency. Moreover, also when an output level is made adjustable with the amplifier of a drain power control form, the distortion in a transmitting output can be kept low.

Furthermore, a switch of transmitting turning on and off can also be performed easily, and the flare of the output spectrum by transmitting turning on and off can be stopped.

The demand of this invention to distortion of power consumption and an output is severe, and it is used for the radio communication equipment for the application for mobile communication which moreover needs to make a transmitting output adjustable, for example, an object, and satellite communication, and has big effectiveness especially.

---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3044057号  
(P3044057)

(45)発行日 平成12年5月22日(2000.5.22)

(24)登録日 平成12年3月10日(2000.3.10)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

H 0 3 F 1/02

H 0 3 F 1/02

H 0 3 C 1/00

H 0 3 C 1/00

Z

H 0 3 F 1/32

H 0 3 F 1/32

H 0 3 G 3/10

H 0 3 G 3/10

A

請求項の数1(全20頁)

(21)出願番号 特願平2-218694

(22)出願日 平成2年8月20日(1990.8.20)

(65)公開番号 特開平3-285404

(43)公開日 平成3年12月16日(1991.12.16)

審査請求日 平成9年1月21日(1997.1.21)

(31)優先権主張番号 特願平2-77892

(32)優先日 平成2年3月27日(1990.3.27)

(33)優先権主張国 日本(JP)

(73)特許権者 999999999

日本電信電話株式会社

東京都千代田区大手町2丁目3番1号

(73)特許権者 999999999

エヌ・ティ・ティ移動通信網株式会社

東京都港区虎ノ門2丁目10番1号

(72)発明者 富里 繁

東京都千代田区内幸町1丁目1番6号

日本電信電話株式会社内

(72)発明者 山尾 泰

東京都千代田区内幸町1丁目1番6号

日本電信電話株式会社内

(74)代理人 999999999

弁理士 井出 直孝

審査官 長島 孝志

最終頁に続く

(54)【発明の名称】 出力可変送信装置

(57)【特許請求の範囲】

【請求項1】送信すべき信号の同相包絡線成分と直交包絡線成分とにより変調波を発生する直交変調手段と、この変調波を増幅する高周波電力増幅器と、前記同相包絡線成分と前記直交包絡線成分とから包絡線を生成する包絡線生成手段と、この包絡線生成手段の出力信号レベルにより前記高周波電力増幅器のバイアス電圧を制御するバイアス制御手段とを備えた出力可変送信装置において、前記高周波電力増幅器の平均出力レベルを設定する信号を入力とし、その入力値に対応する直流信号を発生する多値直流信号発生回路と、この多値直流信号発生回路の出力を前記包絡線生成手段の出力包絡線に乗算する乗算回路と

を備えたことを特徴とする出力可変送信装置。

【発明の詳細な説明】

〔産業上の利用分野〕

本発明は高周波数帯の線形送信装置に利用する。特に、送信出力の平均レベルを変化させることのできる線形送信装置に関する。

本発明は、変調波の包絡線レベルに応じて高周波電力増幅器のバイアス電圧を制御する出力可変送信装置において、包絡線レベルに直流を乗算することにより、高周波電力増幅器の出力を可変に制御するものである。

〔従来の技術〕

高周波帯の送信装置、特に線形変調波を送信する線形送信装置として、従来からA級ないしAB級の高周波電力増幅器(以下単に「電力増幅器」という)が用いられている。このような線形送信装置では、電力増幅器の入力



(2)

3

レベルを変化させることにより、容易に出力レベルを変化させることができる。しかし、A級またはAB級の電力増幅器を用いた場合、包絡線の振幅変化が大きい変調波を増幅するときに、低振幅の領域において電力効率が著しく低下する。

この欠点を解決し、線形送信装置の電力効率を改善するため、本願発明者らは、電力増幅器のドレイン電圧またはコレクタ電圧を入力信号の包絡線に応じて変化させるドレイン電圧制御法を発明し、すでに特許出願した（特開昭62-274906号公報、特願平1-168723）。その構成例を第19図に示す。

変調入力端子1、2には、送信しようとする信号の同相包絡線成分、直交包絡線成分がそれぞれ入力される。直交変調器3は、これらの入力信号を搬送波発振器4から供給される搬送波で変調し、変調波を発生する。飽和形の電力増幅器5は増幅素子として電界効果トランジスタを備え、直交変調器3から入力された線形変調波を入力整合回路を介して電界効果トランジスタのベースに供給し、ドレインに得られる増幅された信号を出力整合回路を介して送信出力端子6に出力する。

変調入力端子1、2に入力された同相包絡線成分および直交包絡線成分はまた、包絡線生成回路7に供給される。この包絡線生成回路7は、二つの包絡線成分から変調波の包絡線を生成し、これを電圧制御回路10に供給する。

電圧制御回路10は、直流直流変換器またはシリーズ制御トランジスタにより構成され、電源端子11に入力された電源電圧を包絡線生成回路7からの信号にしたがって調整し、電力増幅器5内の電界効果トランジスタのドレイン電圧 $V_D$ を制御する。

このように、包絡線生成回路7により生成した包絡線に応じて電力増幅器5のバイアス電圧を制御し、送信出力端子6の出力振幅を入力信号の包絡線に追従させる。これにより、電力増幅器5を常に高効率の飽和状態に保ったまま線形増幅動作を実現できる。

〔発明が解決しようとする課題〕

しかし、ドレイン電圧制御形の送信装置では、電力増幅器を常に飽和領域で動作させるため、従来のA級またはAB級線形増幅器のように、入力レベルを変えることで出力レベルを変化させることはできない。

第20図にドレイン電圧を入力レベルに応じて変化させた場合の電力増幅器の動作点の軌跡を示す。

この図に示したように、電力増幅器を常に飽和領域で動作させるため、平均入力を「入力1」から「入力2」へ変化させても、平均出力は同じである。このため、ドレイン電圧制御形の送信装置では、従来のA級またはAB級線形増幅器のように、入力レベルを変えることで出力レベルを変えることはできない。このため、出力レベルを可変にするためには、何らかの方策が必要とされていた。

4

本発明は、この課題を解決し、ドレイン制御法を用いながら、平均出力レベルが可変の送信装置を提供することを目的とする。

〔課題を解決するための手段〕

本発明の出力可変送信装置は、変調波の包絡線により高周波電力増幅器のバイアス電圧を制御する構成の送信装置において、生成された包絡線に可変に設定された直流信号を乗算することを特徴とする。すなわち、電力増幅器の平均出力レベルを設定する信号を入力とし、その入力値に対応する直流信号を発生する多値直流信号発生回路と、この多値直流信号発生回路の出力を包絡線生成手段の出力包絡線に乗算する乗算回路とを備えたことを特徴とする。

電力増幅器の特性によっては、直流信号が乗算された包絡線信号を補正する補正回路をさらに備えることが望ましい。

また、包絡線信号に乗算される直流信号に応じて電力増幅器に入力される信号を減衰させる可変減衰器を備えることもできる。

多値直流信号発生回路はオン・オフ切換手段を含み、オン・オフ制御信号の入力によりその出力をオン・オフすることもできる。このとき多値直流信号発生回路は、その出力のオン・オフ切換時に出力を段階的に変化させる手段を含むことが望ましい。この出力を段階的に変化させる手段は、オン・オフ制御信号の入力により計数を開始するカウンタと、このカウンタの出力値と電力増幅器の平均出力レベルを設定する信号とに対応して立ち上がり波形および立ち下がり波形が書き込まれたメモリとを含むことができる。

〔作 用〕

変調波の包絡線と出力可変量に対応した直流信号との乗算結果で電力増幅器のドレイン電極またはコレクタ電極のバイアス電圧を制御する。これにより、ドレイン電圧またはコレクタ電圧を包絡線に応じて変化させる構成でも、ドレイン電圧またはコレクタ電圧の平均値を変化させることができる。一般に、電力増幅器のドレイン電圧またはコレクタ電圧を変化させると、飽和出力もそれに応じて変化する。したがって、ドレイン電圧制御形の送信装置において出力レベルを変えることができる。

また、電力増幅器のドレイン電圧またはコレクタ電圧を変化させた場合には、飽和出力電圧もそれに応じて変化するため、ドレイン電圧制御形の送信装置において平均出力レベルを変化させることができ、その結果、送信オン・オフ動作も可能となる。また、出力制御信号をメモリから読み出す構成とすることにより、バイアス電圧を制御するための信号の波形を任意に設定することができるため、オン・オフ切換時の送信出力のスペクトルの拡がりを抑えるようにでき、隣接する通信チャネルへの妨害の少ない送信装置を実現できる。

〔実施例〕

50

(3)

5

第1図は本発明第一実施例の出力可変送信装置を示すブロック構成図である。

この実施例装置は、送信すべき信号の同相包絡線成分と直交包絡線成分とがそれぞれ変調入力端子1、2に入力され、この二つの包絡線成分により変調波を発生する直交変調手段として直交変調器3および搬送波発振器4を備え、この変調波を増幅する高周波増幅器として飽和形の電力増幅器5を備え、変調入力端子1、2の同相包絡線成分と直交包絡線成分とから包絡線を生成する手段として包絡線生成回路7を備え、この包絡線生成回路7の出力信号レベルにより電力増幅器5のバイアス電圧を制御するバイアス制御手段として電圧制御回路10を備える。

電力増幅器5としては、ソース接地またはエミッタ接地された半導体増幅素子を用いる。以下の説明では、ソース接地された電界効果トランジスタを用いる場合を例に説明する。

ここで本実施例の特徴とするところは、指定信号入力端子12からの電力増幅器5の平均出力レベルを設定する信号（以下「出力レベル指定信号」という）を入力とし、その入力値に対応する直流信号を発生する多値直流信号発生回路80と、この多値直流信号発生回路80の出力を包絡線生成回路7の出力包絡線に乗算する乗算回路9とを備えたことにある。

直交変調器3は、変調入力端子1、2から入力される同相包絡線成分 $I(t)$ および直交包絡線成分 $Q(t)$ により、搬送波発振器4から供給された搬送波 $\cos(2\pi f_c t)$ を変調し、変調波 $S(t)$ を出力する。こきとき変調波 $S(t)$ の包絡線を $R(t)$ 、位相を $\phi(t)$ とすると、 $I(t)$ 、 $Q(t)$ は、

$$I(t) = R(t) \cos \phi(t)$$

$$Q(t) = R(t) \sin \phi(t)$$

と表すことができる。このとき $S(t)$ は、

$$S(t) = R(t) \cos(2\pi f_c t + \phi(t))$$

6

となる。 $R(t)$ は、 $I(t)$ 、 $Q(t)$ に対して、

$$R(t) = \{I(t)^2 + Q(t)^2\}^{1/2}$$

に関係にある。

包絡線生成回路7は上述の式に基づいて $R(t)$ を求める。その方法としては、読み出し専用メモリを用いたメモリテーブルによる方法と、数値演算プロセッサを用いる方法とがある。いずれの場合も、出力される包絡線信号はデジタル信号である。

指定信号入力端子12には、送信出力端子6に出力しようとする送信出力レベルに対応する出力レベル指定信号が入力される。多値直流信号発生回路80は、この出力レベル指定信号にしたがって直流信号を発生する。この直流信号を以下「出力制御信号」という。

第2図は多値直流信号発生回路80の一例を示す回路図である。ここでは、アナログ回路で構成した例を示す。

演算増幅器803の非反転入力には定電圧電源801に接続され、反転入力には抵抗802を介して接地される。演算増幅器803の出力は出力端子805を介して乗算回路9（第1図）に接続される。演算増幅器803の出力と反転入力とは、スイッチ804により選択された帰還抵抗 $R_1 \sim R_n$ を介して接続される。スイッチ804は、指定信号入力端子12から供給される出力レベル指定信号により制御され、帰還抵抗 $R_1 \sim R_n$ のいずれかを選択する。これにより、直流利得が変化し、多値の直流信号を出力端子805に発生できる。

また、多値直流信号発生回路80をデジタル回路で構成することもでき、例えば、読み出し専用メモリその他のメモリを用いて構成することができる。すなわち、出力レベルに応じた2進数をメモリテーブルとして記憶しておき、出力レベル指定信号に対応した値をメモリから読み出して出力する。メモリテーブルの一例を第1表に示す。この例では、8値の直流を表すデータを出力できる。

(4)

7

8

第 1 表

出力レベル	ROM出力( $a_1 \sim a_8, i=8$ )
レベル 1	1 0 0 0 0 0 0 0
レベル 2	0 1 0 0 0 0 0 0
レベル 3	0 0 1 0 0 0 0 0
レベル 4	0 0 0 1 0 0 0 0
レベル 5	0 0 0 0 1 0 0 0
レベル 6	0 0 0 0 0 1 0 0
レベル 7	0 0 0 0 0 0 1 0
レベル 8	0 0 0 0 0 0 0 1

乗算回路 9 は包絡線生成回路 7 の出力と多値直流信号発生回路 80 の出力とを乗算する。これにより、乗算回路 9 の出力には変調波の包絡線に比例した信号が得られ、しかもその平均値が送信出力に応じて変化する。電圧制御回路 10 は、この乗算回路 9 の出力に応じて、電力増幅器 5 のドレインバイアス電圧  $V_D$  を変化させる。この結果、ドレインバイアス電圧  $V_D$  は変調波の包絡線に比例し、かつ平均値が送信出力に応じて変化する。

このようにして、電力増幅器 5 には直交変調器 3 の出力である変調波  $S(t)$  が入力され、そのドレイン電圧  $V_D$  が包絡線に比例して制御される。さらに、送信出力レベルに応じてドレイン電圧  $V_D$  の平均値が変化する。したがって、電力増幅器 5 は高効率の飽和状態を保ちながら線形増幅を行うことができ、しかも送信出力レベルを可変にすることができる。

乗算回路 9 としては、ディジタル乗算器とアナログ乗算器のいずれを用いることもできる。第 3 図にディジタル乗算器を用いた例を示し、第 4 図にアナログ乗算器を用いた例を示す。

第 3 図に示した構成では、ディジタル乗算器 21 により、包絡線生成回路 7 の出力したディジタル包絡線信号に、多値直流信号発生回路 80 の出力を乗算する。ディジタル乗算器 21 の出力は、ディジタル・アナログ変換器 22 を介して電圧制御回路 10 に供給される。

第 4 図に示した構成では、包絡線生成回路 7 の出力がディジタル・アナログ変換器 31 を介してアナログ乗算器 32 に供給される。アナログ乗算器 32 は、アナログ包絡線信号に多値直流信号発生回路 80 の出力を乗算して、電圧制御回路 10 に供給する。

第 5 図は電力増幅器の入出力特性を表す図であり、平均値が異なるドレイン電圧  $V_D$  で電力増幅器 5 (第 1 図) のバイアスを制御したときの動作点の軌跡を示す。この

図から、ドレイン電圧  $V_D$  の平均値を変化させることにより、平均出力が  $a$  から  $b$  へと変化する事がわかる。したがって、送信出力レベルに応じてドレイン電圧  $V_D$  の平均値を変化させることにより、高効率の飽和状態を保ちながら線形増幅を行うドレイン電圧制御形の送信装置でも、送信出力レベルを可変にすることができる。

第 6 図は本発明第二実施例の出力可変送信装置を示すブロック構成図である。

この実施例装置は、乗算回路 9 から出力された信号を補正回路 41 で補正する点が第一実施例と異なる。

ドレイン制御により線形増幅を行う場合に、飽和形の電力増幅器 5 のドレイン電圧対出力特性の非線形性により、包絡線に比例した信号でドレインを制御することが必ずしも最適でない場合がある。第 7 図にドレイン電圧対出力特性の非線形特性の一例を示す。このような場合、非線形特性に応じてドレイン制御用の信号を補正することにより、送信出力における歪を低減できる。

補正回路 41 としては、アナログ回路による構成と、読み出し専用メモリを用いたメモリテーブル等のディジタル回路による構成とが考えられる。アナログ回路で補正を行う場合には、第 6 図に示したように乗算器 9 の出力に補正回路 41 が接続される。これに対してディジタル回路を用いる場合には、第 3 図に示したディジタル乗算回路 21 とディジタル・アナログ変換器 22 との間に補正回路が挿入される。

第 8 図は本発明第三実施例の出力可変送信装置を示すブロック構成図である。

この実施例は、電力増幅器 5 の入力を送信出力レベルに応じて減衰させる点が第一実施例および第二実施例と異なる。

第一実施例や第二実施例の構成では、電力増幅器 5 のドレイン電圧  $V_D$  を送信出力レベルに応じて小さくしてい

(5)

9

くと、電力増幅器 5 の入力が増大となり、出力において歪が増大する場合がある。そこで本実施例では、直交変調器 3 と電力増幅器 5 との間に可変減衰器 51 を挿入し、送信出力の歪が最少となるように制御する。

可変減衰器 51 は歪を低減するためのものであり、これ自体は送信出力レベルを可変とするためのものではない。この点で、従来の A 級または AB 級増幅器を用いた線形送信装置に用いられる入力減衰器とは異なる。

第 9 図は本発明第四実施例の出力可変送信装置を示すブロック構成図である。

この実施例は、多値直流信号発生回路 80 に代えてオン・オフ切手段を含む多値直流信号発生回路 81 を用いたことが第一実施例と異なる。すなわち、制御信号入力端子 13 にはオン・オフ制御信号が入力され、これが、指定信号入力端子 12 からの出力レベル指定信号と共に、多値直流信号発生回路 81 に供給される。

\*

第 2 表

出力レベル 指定信号	出力制御信号	
	オン・オフ 制御信号が 1	オン・オフ 制御信号が 0
1 1	1 0 0 0	0 0 0 0
1 0	0 1 0 0	0 0 0 0
0 1	0 0 1 0	0 0 0 0
0 0	0 0 0 1	0 0 0 0

第 2 表および第 10 図から、オン・オフ制御信号がオフのときには出力制御信号が「0」となり、オンのときには出力レベル指定信号に応じた出力制御信号が出力されていることがわかる。

第 11 図は多値直流信号発生回路 81 をアナログ回路で構成する場合の回路図を示し、第 12 図はその入出力信号波形を示す。

第 11 図に示した回路は、演算増幅器 803 の非反転入力が増幅器 806 を介して接地または定電圧電源 801 のいずれかに接続されることが、第 2 図に示した多値直流信号発生回路 80 と異なる。スイッチ 806 の切換は、制御信号入力端子 13 からのオン・オフ制御信号により制御される。

この構成により、出力レベル指定信号に応じてスイッチ 804 により帰還抵抗  $R_1 \sim R_n$  のいずれかを選択し、これにより直流利得を変化させて、出力レベル指定信号に応じた出力制御信号を発生する。また、オン・オフ制御信号により演算増幅器 803 の入力信号を切り換え、オフのときには「0」を出力する。

第 13 図は多値直流信号発生回路 81 のさらに別な例を示

10

\* 多値直流信号発生回路 81 の構成は、オン・オフ制御信号がオフのときに出力制御信号を「0」とすることを除いて、上述の実施例における多値直流信号発生回路 80 と同等であり、デジタル回路とアナログ回路とのどちらでも実現できる。

多値直流信号発生回路 81 をデジタル回路で構成する場合には、例えば読み出し専用メモリによるメモリテーブルを用いる。すなわち、読み出し専用メモリのアドレス入力にオン・オフ制御信号と  $k$  ビットの出力レベル指定信号とが入力され、オン・オフ制御信号がオフのときには「0」が読み出されるようにする。このメモリテーブルの一例を第 2 表に示し、各信号の波形を第 10 図に示す。この例は  $k=2$  としたときのものであり、出力制御信号は、オン・オフ制御信号がオンのときに、 $2^2=4$  通りの値を取りうる。

10

すブロック構成図である。

上述した多値直流信号発生回路 81 の構成では、送信オン・オフ動作を行うときに、オンとオフとを急激に切り換えるので、切り換えた瞬間に送信装置の出力スペクトルが広がってしまい、隣接チャネルの通信に妨害を与えることがある。この広がりを少なくするためには、送信出力がオンからオフへ、またはオフからオンへ、滑らかに切り換えることが望ましい。

そこで第 13 図に示した例では、波形から滑らかに変化する信号を読み出し専用メモリ 815 に書き込んでおき、エッジ検出回路 811、タイマ 812、サンプルクロック発生回路 813 およびカウンタ 814 を用いて、その信号をオン・オフ移行期間に順次読み出している。

エッジ検出回路 811 は、オン・オフ制御信号のオンからオフ、オフからオンへの切り換えを検出し、タイマ 812 およびカウンタ 814 を起動する。タイマ 812 は、サンプルクロック発生回路 813 からのクロックを  $n+1$  個までカウンタ 814 に供給する。カウンタ 814 は、オン・オフ制御信号がオンになったとき、その瞬間から計数を開始し、0 から  $n$  までを計数する。また、オン・オフ制御信

40

50

(6)

11

号がオフになったときには、 $n$ から0まで計数する。

カウンタ814の出力は、 $k$ ビットの出力レベル指定信号とともに、アドレス入力として読み出し専用メモリ815にされる。これにより読み出し専用メモリ815は、ひとつの出力レベル指定信号に対して、時間とともに変化する出力制御信号を出力する。したがって、例えば、出力レベル指定信号が「1」であれば、オン、オフ制御信号がオンになった瞬間から、 $L_{10}$ 、 $L_{11}$ 、 $\dots$ 、 $L_{1n}$ が順番に読み出され、逆にオフになった瞬間からは、 $L_{1n}$ 、 $L_{1n-1}$ 、 $\dots$ 、 $L_{10}$ が順番に読み出される。この結果、滑らかな出力制御信号を発生させることができる。

読み出し専用メモリ815に書き込まれるメモリテーブルの例を第3表に示し、その入出力信号波形を第14図に示す。この例では、 $n=3$ 、 $k=2$ とした。

第 3 表

オン・オフ制御信号	1				0			
	出力レベル指定信号	計数値	3	2	1	0	3	2
1 1			10000000	00010000	00000010	00000000	00000000	00000000
1 0			00100000	00001000	00000010	00000000	00000000	00000000
0 1			00001000	00000100	00000010	00000000	00000000	00000000
0 0			00000010	00000001	00000000	00000000	00000000	00000000

第14図に示したように、第13図に示した回路において、カウンタ814の計数値が「0」のときにはオフの出力制御信号が読み出され、計数値が「3」のときにはオンの出力制御信号が読み出される。また、計数値が「1」または「2」のときには、オンとオフとの間の大

(7)

13

きさの出力制御信号が読み出される。このようにして、オンとオフとの間の切り換え時の波形を滑らかにできる。また、オン・オフ移行期間の出力制御信号として、窓関数と呼ばれる関数を用いることにより、さらに周波数の広がりを抑えることができる。

第9図に示した実施例の場合にも、第一実施例と同様に、乗算回路9としてディジタル乗算器とアナログ乗算器のいずれを用いることもできる。第15図にディジタル乗算器を用いた例を示し、第16図にアナログ乗算器を用いた例を示す。

第17図は本発明の第五実施例を示すブロック構成図であり、第18図は第六実施例を示すブロック構成図である。

第五実施例は、第二実施例と同様に乗算回路9から出力された信号を補正回路41で補正する点が、第四実施例と異なる。また、第六実施例は、第三実施例と同様に電力増幅器5の入力を送信出力レベルに応じて減衰させる点が、第四実施例と異なる。

#### 〔発明の効果〕

以上説明したように、本発明の出力可変送信装置は、ドレイン電圧制御形の線形送信装置において、高い電力効率を保ちながら、容易に出力レベルを可変とすることができる。また、ドレイン電力制御形の増幅器で出力レベルを可変にした場合にも、送信出力における歪を低く保つことができる。さらに、送信オン・オフの切り換えも容易に行うことができ、送信オン・オフによる出力スペクトルの広がりを抑えることができる。

本発明は、消費電力および出力の歪に対する要求が厳しく、しかも送信出力を可変とする必要がある用途、例えば移動通信用や衛星通信用の無線通信装置に利用して特に大きな効果がある。

#### 【図面の簡単な説明】

第1図は本発明一実施例の出力可変送信装置を示すブロック構成図。

第2図は多値直流信号発生回路の一例を示す回路図。

第3図はディジタル乗算器を用いた出力可変送信装置の具体例を示すブロック構成図。

第4図はアナログ乗算器を用いた出力可変送信装置の具体例を示すブロック構成図。

第5図は電力増幅器の入出力特性を示す図。

第6図は本発明第二実施例の出力可変送信装置を示すブ

14

ロック構成図。

第7図はドレイン電圧対出力特性の非線形特性の一例を示す図。

第8図は第三実施例の出力可変送信装置を示すブロック構成図。

第9図は第四実施例の出力可変送信装置を示すブロック構成図。

第10図は多値直流信号発生回路の入出力信号波形を示す図。

10 第11図は多値直流信号発生回路をアナログ回路で構成する場合の回路図。

第12図はその入出力信号波形を示す図。

第13図は多値直流信号発生回路の別な例を示すブロック構成図。

第14図は多値直流信号発生回路の入出力信号波形を示す図。

第15図はディジタル乗算器を用いた第四実施例の具体例を示すブロック構成図。

20 第16図はアナログ乗算器を用いた第四実施例の具体例を示すブロック構成図。

第17図は本発明第五実施例の出力可変送信装置を示すブロック構成図。

第18図は本発明第六実施例の出力可変送信装置を示すブロック構成図。

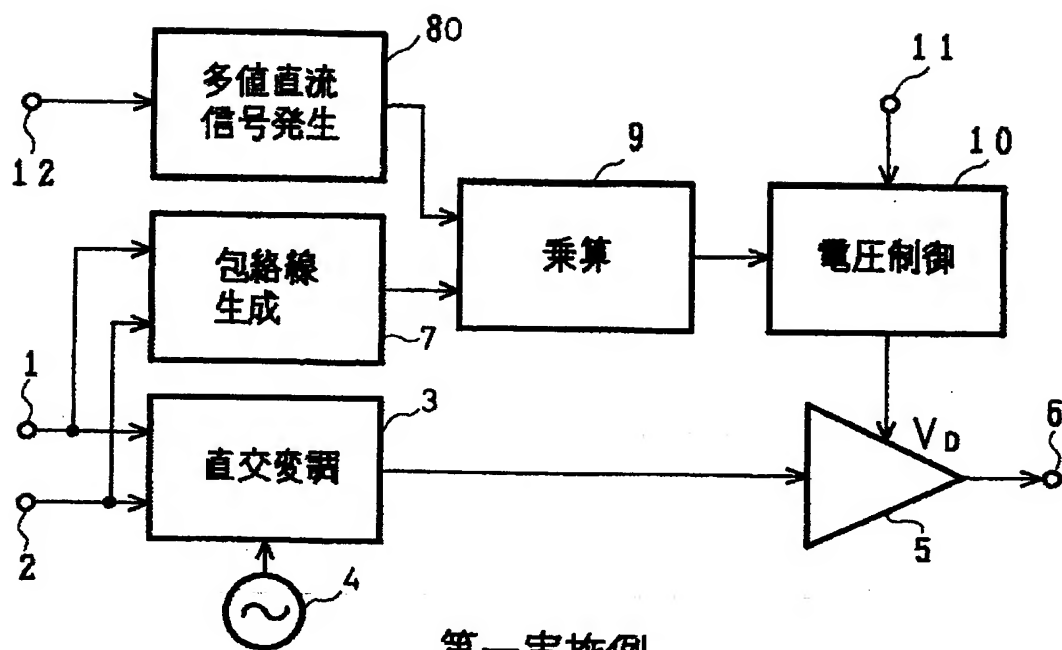
第19図は従来例の線形送信装置を示すブロック構成図。

第20図はドレイン電圧を入力レベルに応じて変化させた場合の電力増幅器の動作点の軌跡を示す図。

1、2……変調入力端子、3……直交変調器、4……搬送波発振器、5……電力増幅器、6……送信出力端子、  
7……包絡線生成回路、80、81……多値直流信号発生回路、9……乗算回路、10……電圧制御回路、11……電源端子、12……指定信号入力端子、13……制御信号入力端子、21……ディジタル乗算器、22、31……ディジタル・アナログ変換器、32……アナログ乗算器、41……補正回路、51……可変減衰器、801……定電圧電源、802……抵抗、803……演算増幅器、804、806……スイッチ、805……出力端子、811……エッジ検出回路、812……タイマ、813……サンプルクロック発生回路813、814……カウンタ、815……読み出し専用メモリ、 $R_1 \sim R_n$ ……帰還抵抗。  
40 抗。

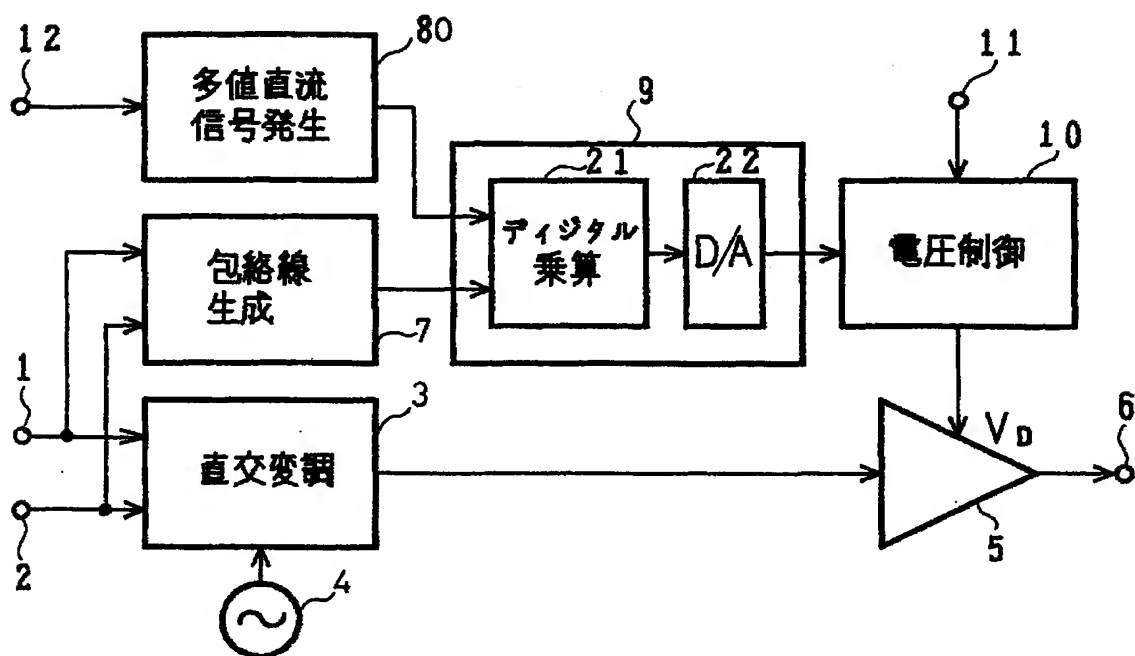
(8)

【第1図】



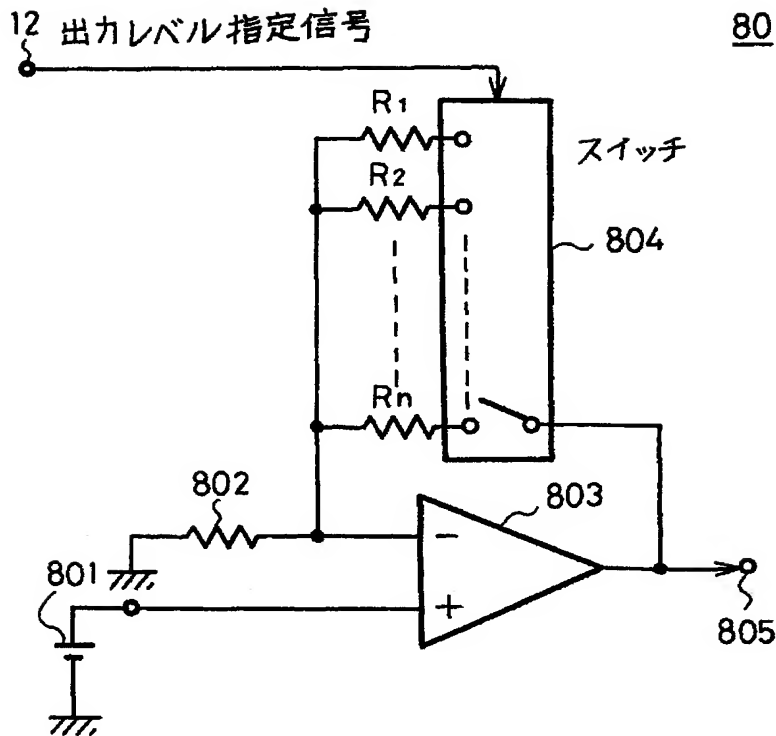
第一実施例

【第3図】



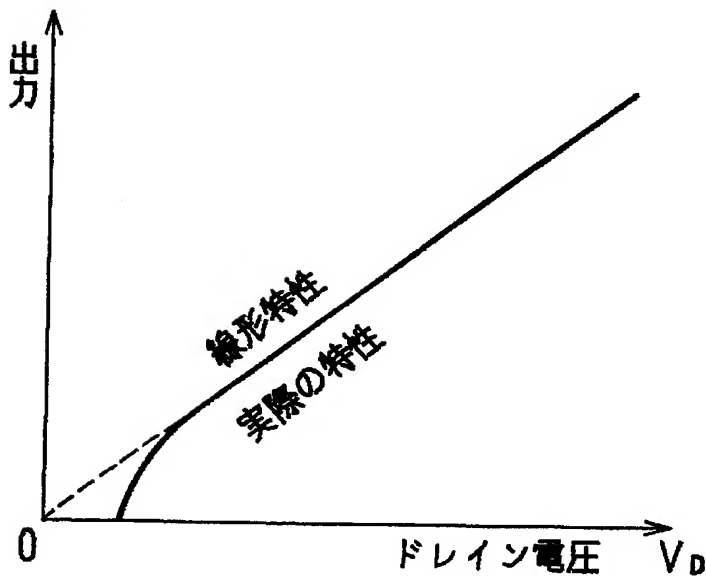
(9)

【第2図】



アナログ多値直流信号発生回路

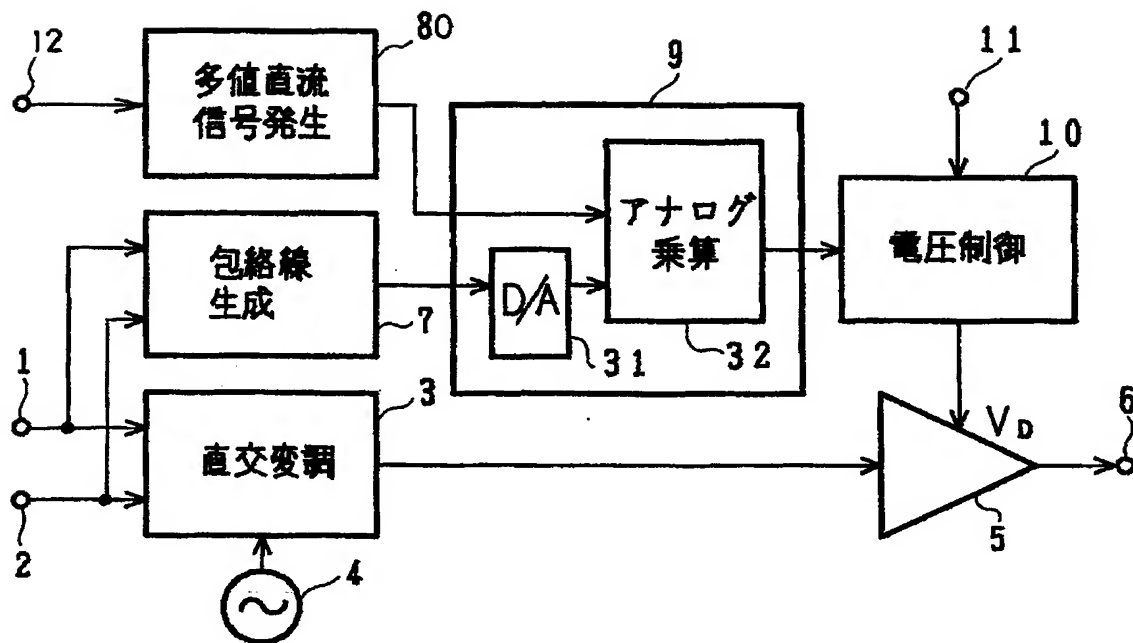
【第7図】



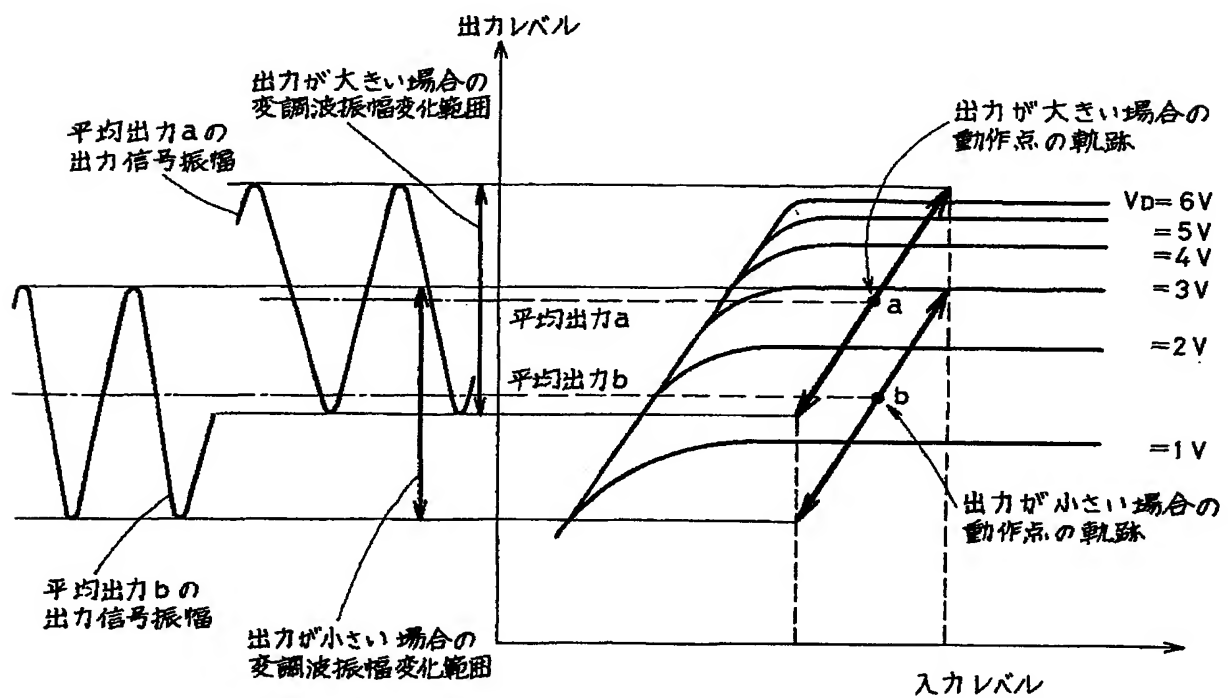


(10)

【第4図】



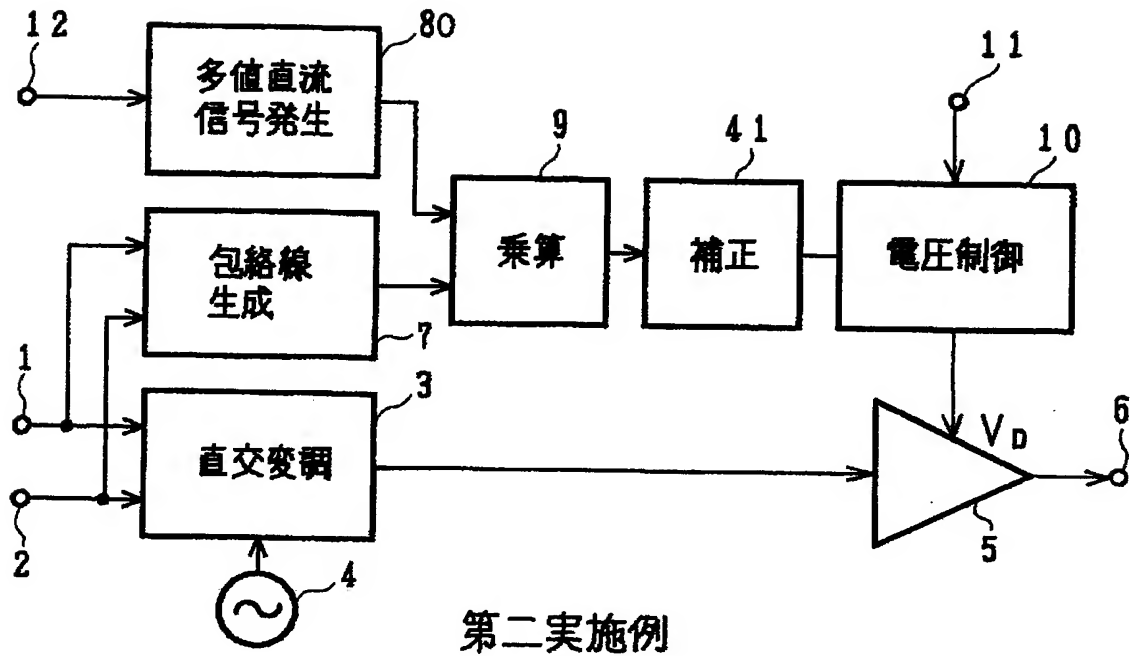
【第5図】



電力増幅器入出力特性

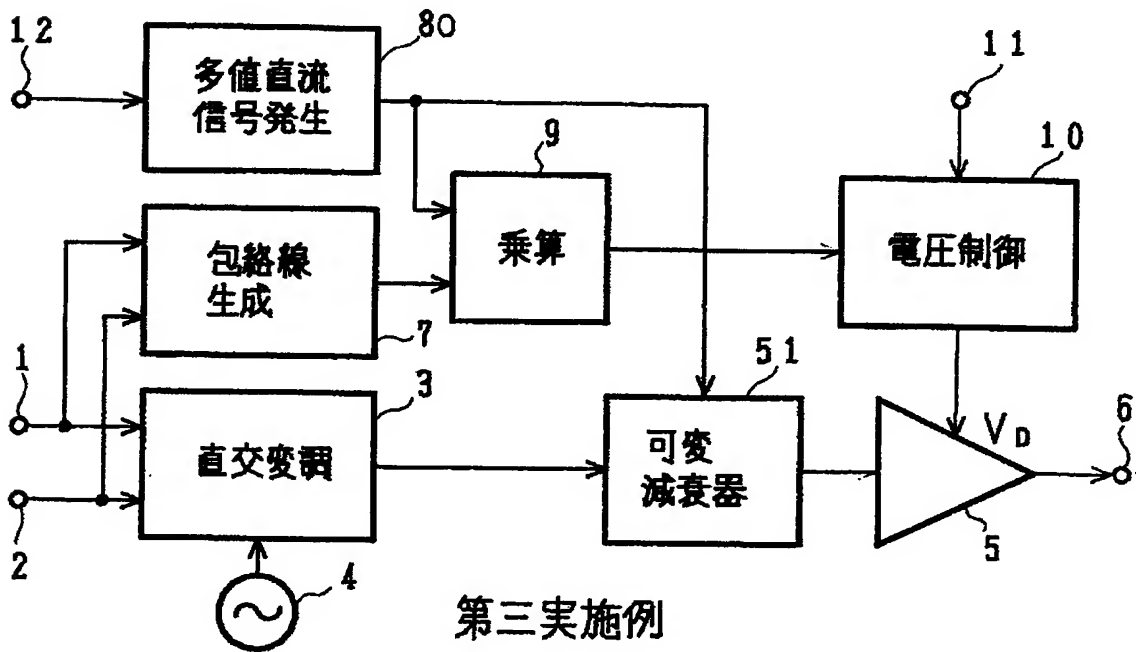
(11)

【第6図】



第二実施例

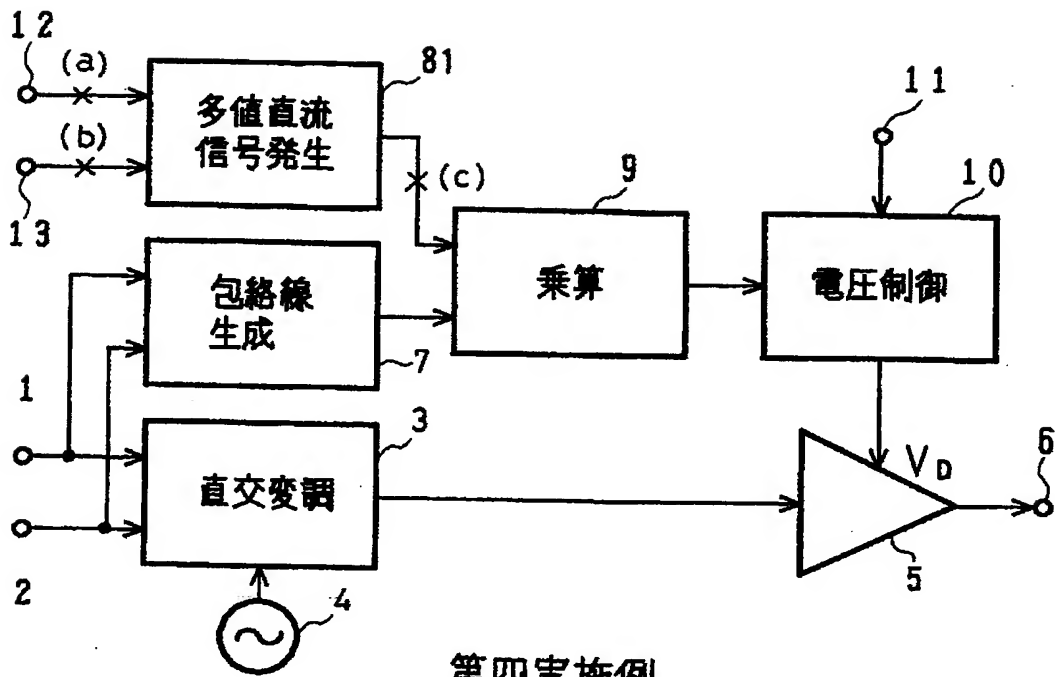
【第8図】



第三実施例

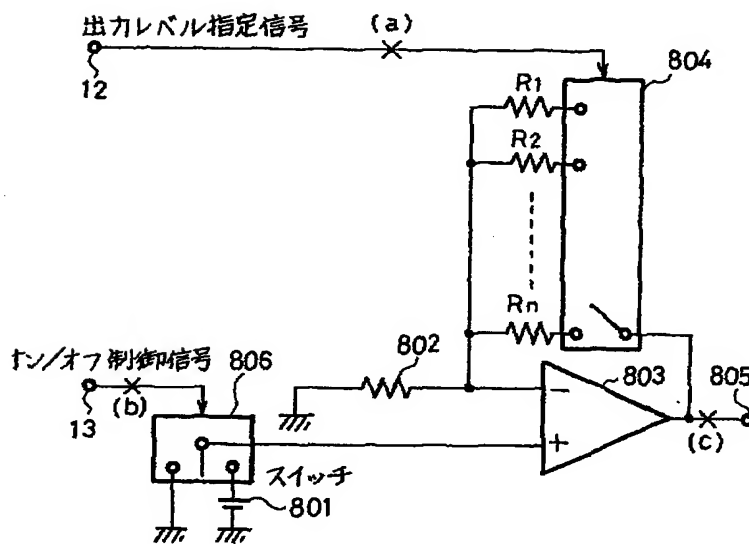
(12)

【第9図】



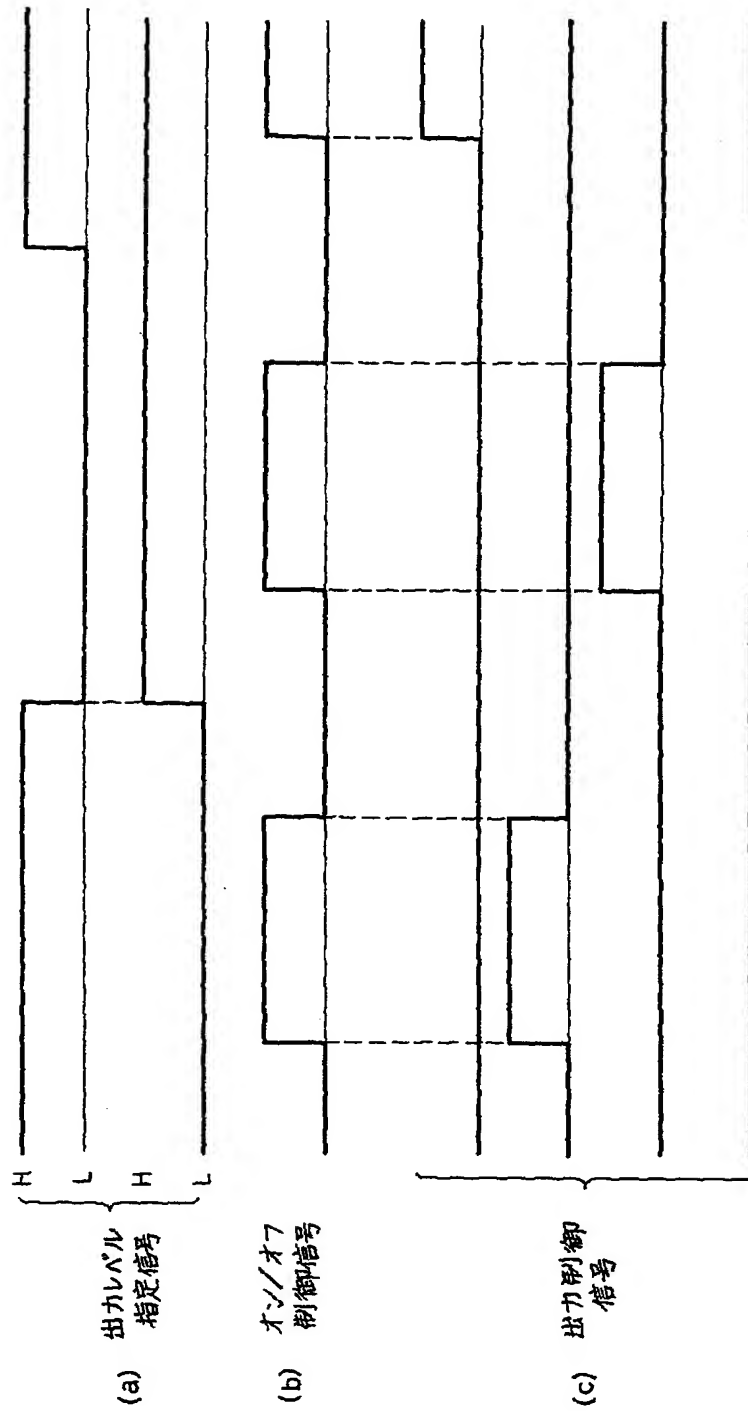
第四実施例

【第11図】



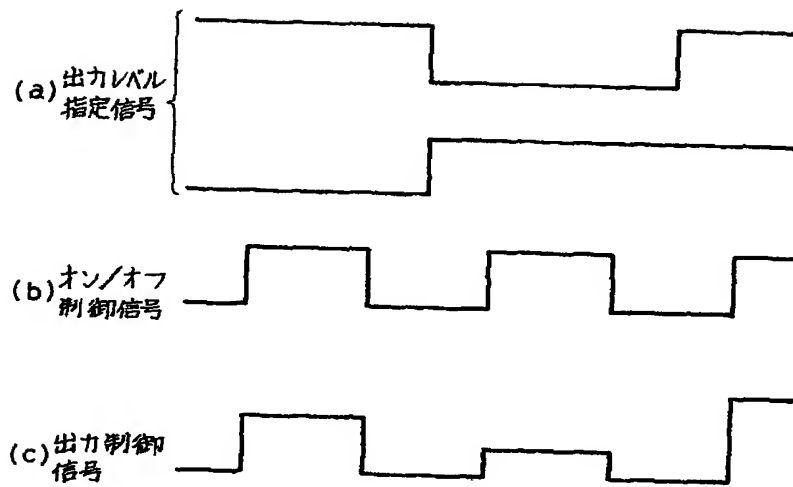
(13)

【第10図】

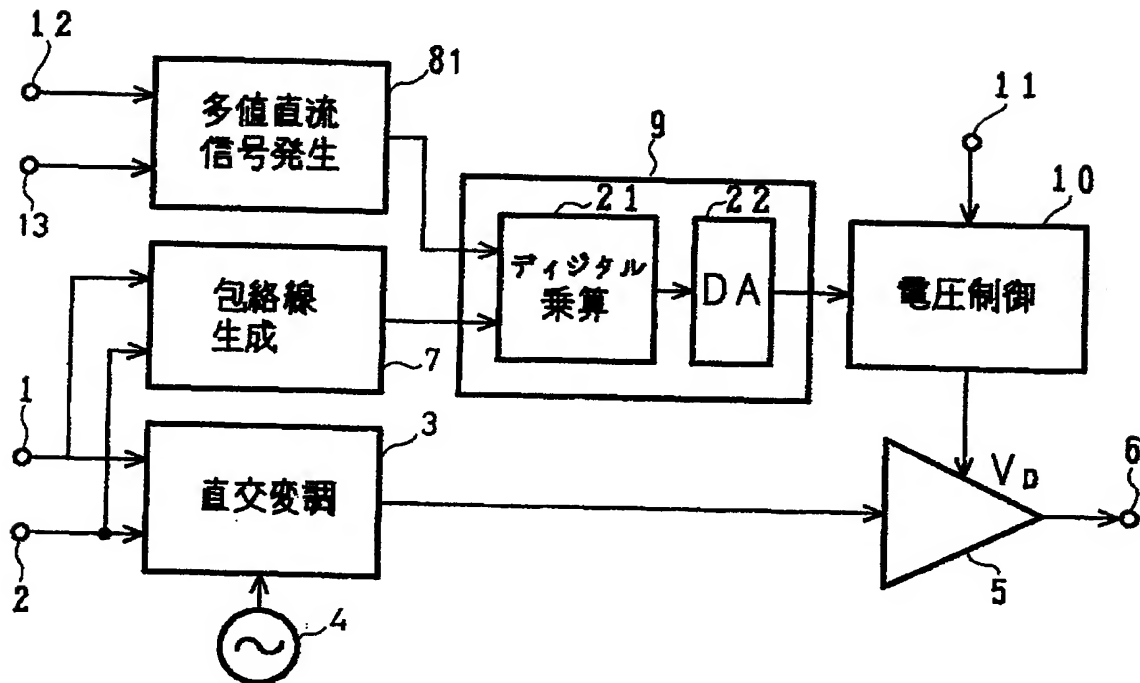


(14)

【第 12 図】

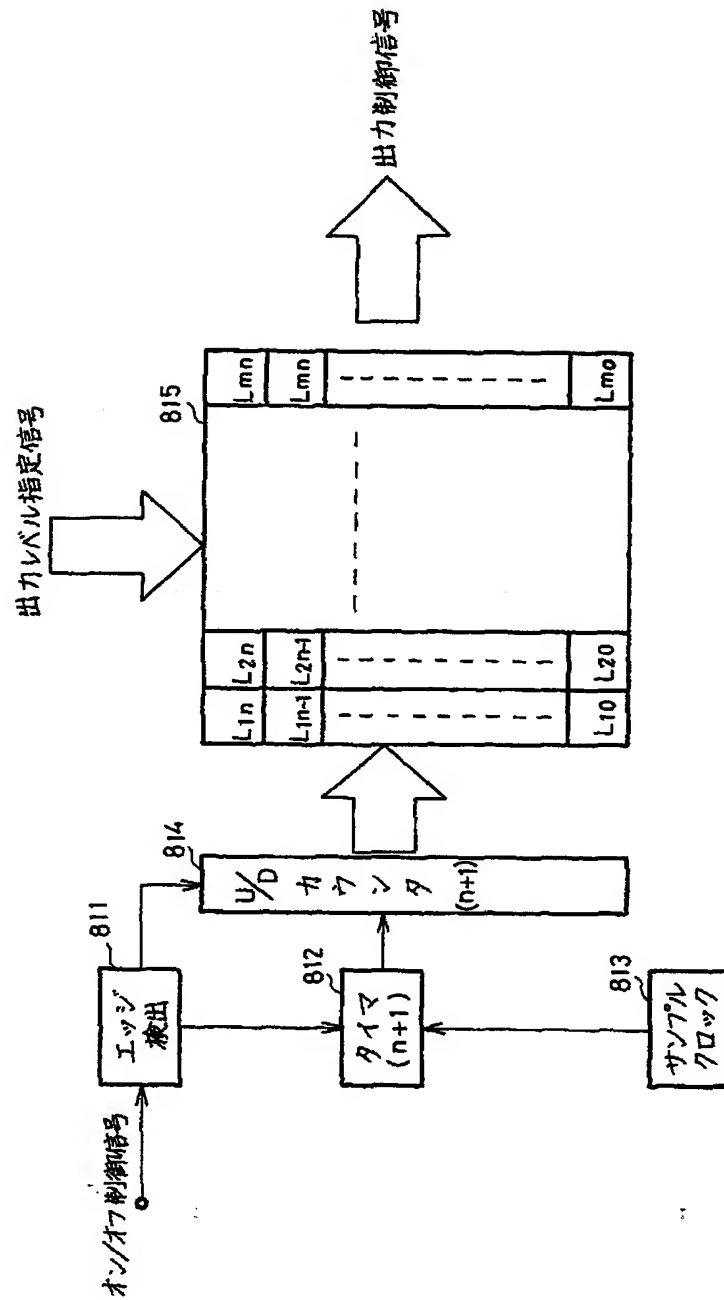


【第 15 図】



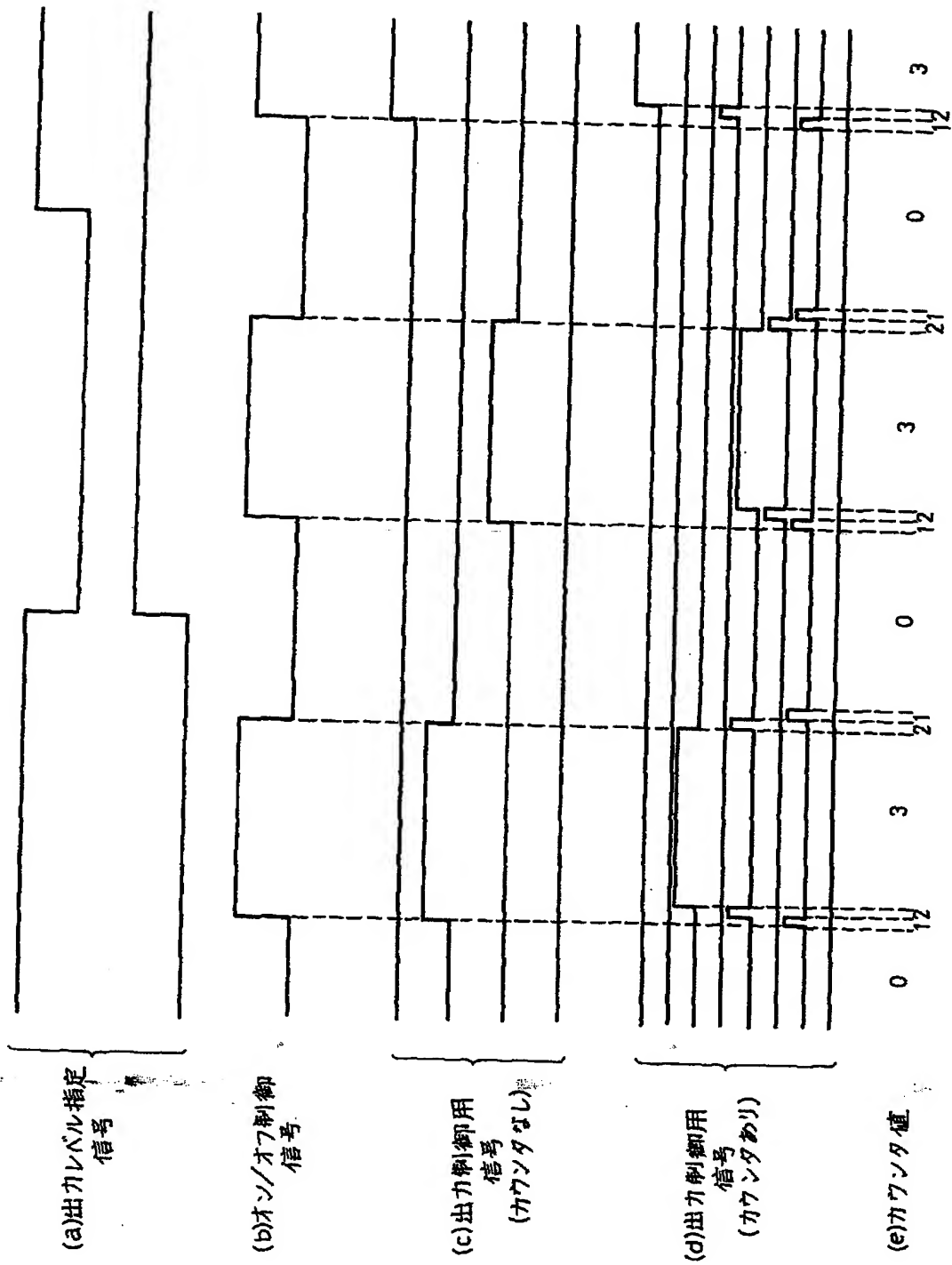
(15)

【第13図】



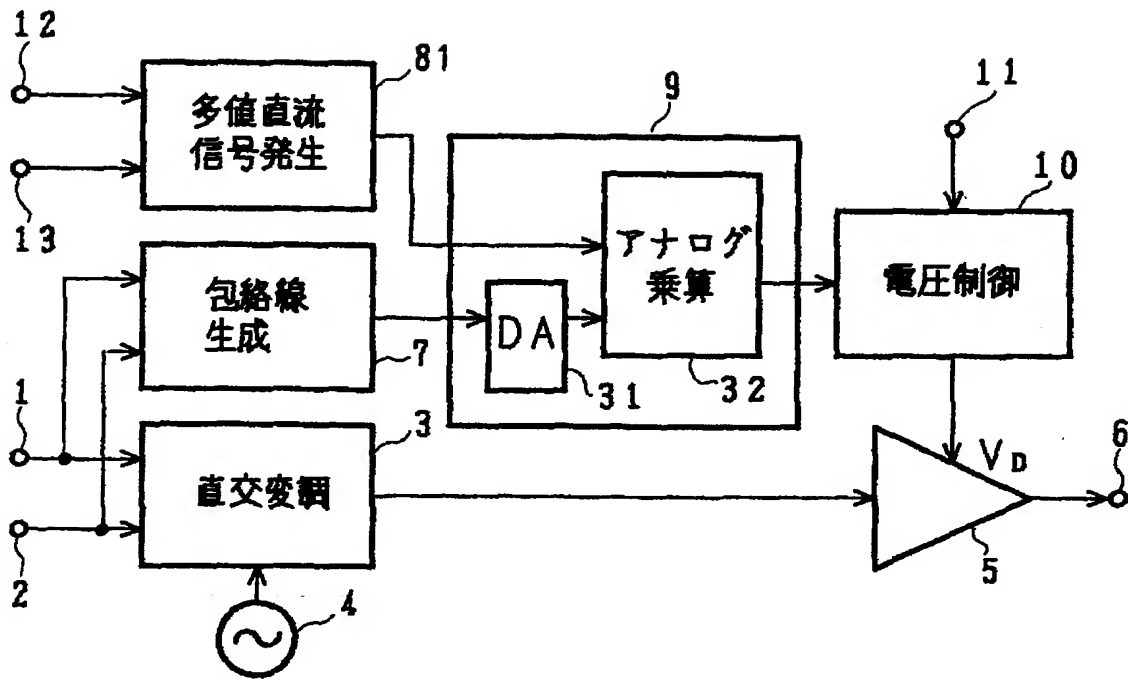
(16)

【第14図】

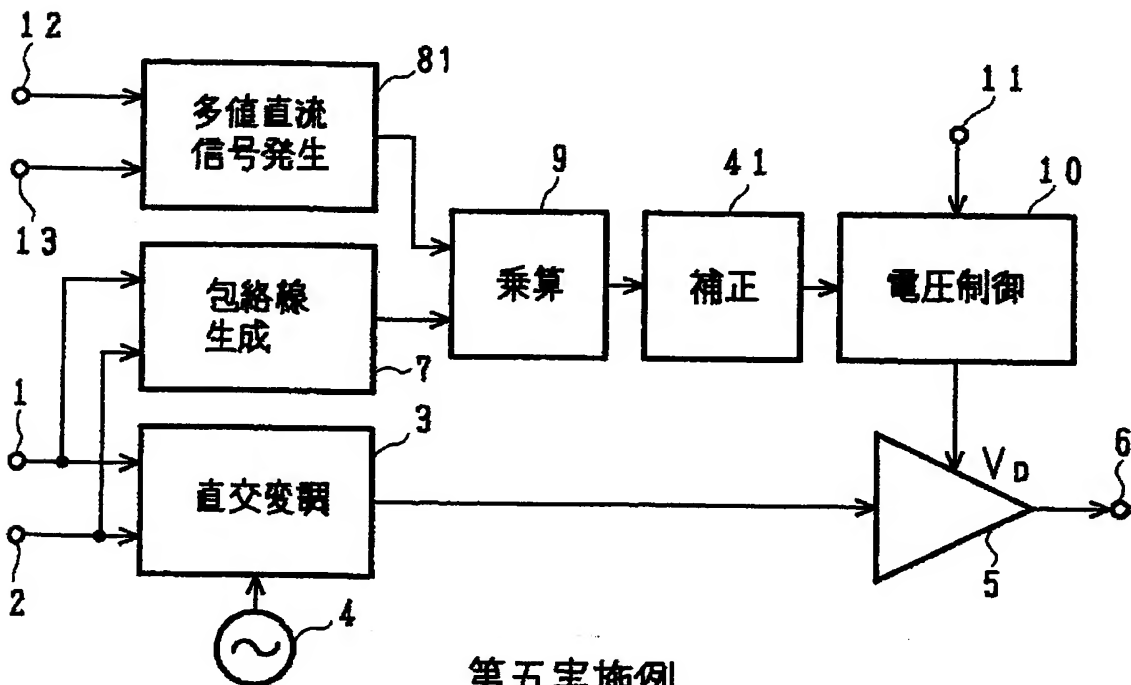


(17)

【第16図】



【第17図】

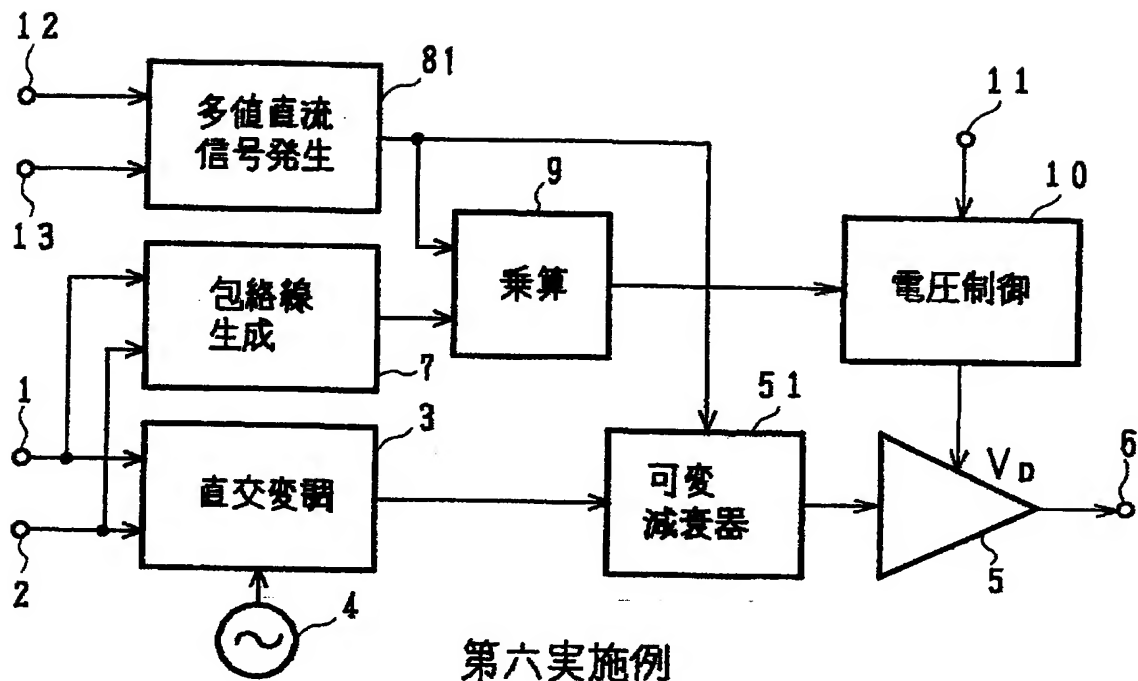


第五実施例



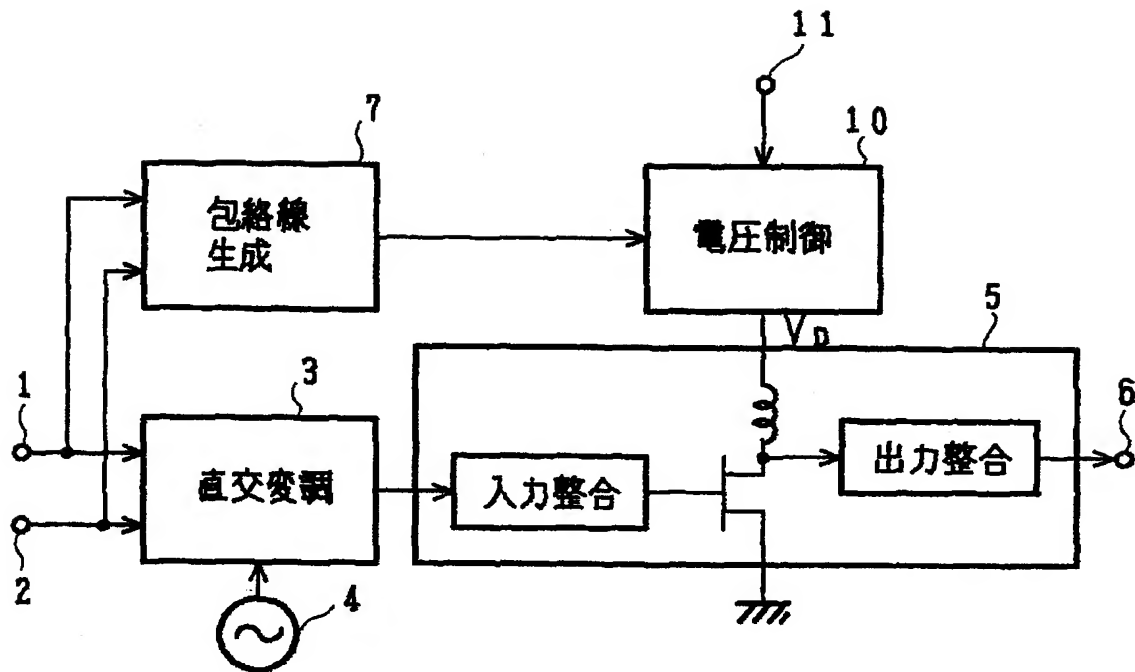
(18)

【第18図】



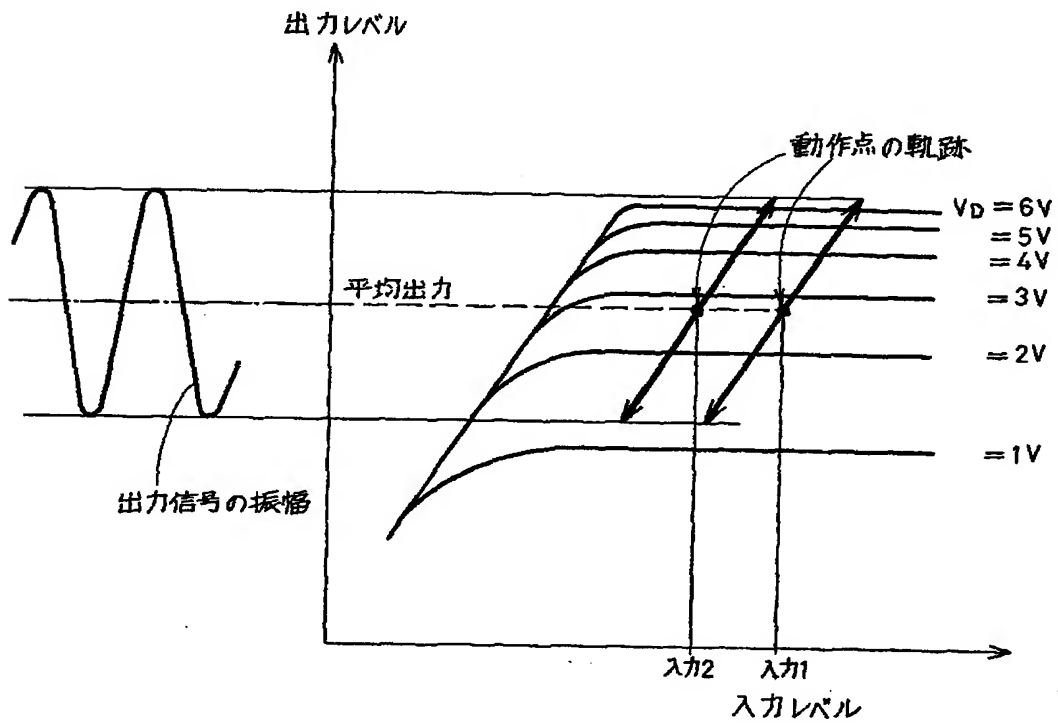
(19)

【第19図】



従来例

【第20図】



電力増幅器入出力特性

(20)

フロントページの続き

(72) 発明者 千葉 耕司

東京都千代田区内幸町1丁目1番6号  
日本電信電話株式会社内

(58) 調査した分野(Int. Cl. 7, DB名)

H03F 1/02

H03F 1/32

H03G 3/10

H03C 1/00

(56) 参考文献 特開 平1-321704 (JP, A)

特開 平3-34709 (JP, A)

特開 昭62-274906 (JP, A)